

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-163045

(43)Date of publication of application : 18.06.1999

(51)Int.Cl.

H01L 21/60

H01L 21/52

H01L 29/78

(21)Application number : 09-324424

(71)Applicant : TOSHIBA CORP  
TOSHIBA AVE CO LTD

(22)Date of filing : 26.11.1997

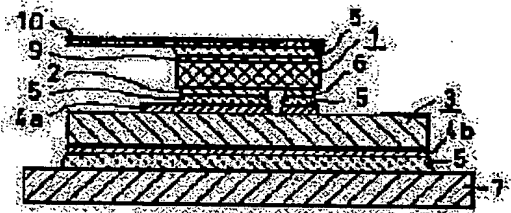
(72)Inventor : YOSHIOKA SHINPEI  
SAITO YASUTO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce failure of a semiconductor switching element by heat, by efficiently transferring the heat generated in a switching element to a heat sink, etc., by soldering each electrode by turning the switching element upside down.

**SOLUTION:** An emitter electrode 2 is provided on the surface of an IGBT 1 and bonded to a prescribed position of a copper pattern 4a on the surface of a copper-plated ceramic substrate 3 with a solder layer 5. A gate electrode 6 is provided at the end section of the surface of the IGBT 1 and bonded to a prescribed position of the substrate 3 with a solder layer 5. To the rear surface of the substrate 3, a heat sink 7 is bonded through a copper pattern 4b with a solder layer 5. On the rear surface of the IGBT 1, in addition, a collector electrode 9 is bonded to a wiring material 10 arranged at a prescribed facing position with a solder layer 5. Therefore, the heat generated in the IGBT 1 can be radiated through the solder layers 5.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-163045

(43) 公開日 平成11年(1999) 6月18日

(51) Int. Cl.<sup>6</sup>  
H 0 1 L 21/60  
21/52  
29/78

識別記号  
3 1 1

F I  
H 0 1 L 21/60  
21/52  
29/78

3 1 1 S  
A  
6 5 2 Q

審査請求 未請求 請求項の数11 O L (全 6 頁)

(21) 出願番号 特願平9-324424  
(22) 出願日 平成9年(1997)11月26日

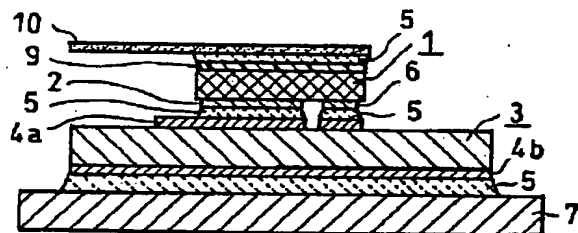
(71) 出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(71) 出願人 000221029  
東芝エー・ピー・イー株式会社  
東京都港区新橋3丁目3番9号  
(72) 発明者 吉岡 心平  
神奈川県横浜市磯子区新磯子町33番地 株  
式会社東芝生産技術研究所内  
(72) 発明者 斉藤 康人  
東京都港区新橋3丁目3番9号 東芝エ  
ー・ピー・イー株式会社内  
(74) 代理人 弁理士 大胡 典夫 (外1名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体装置及びその製造方法に関するもの  
で、特にパワーエレクトロニクス分野で制御用に使用さ  
れるスイッチング素子のサイリスタやパワートランジス  
タ等の実装構造での熱による障害を防止する。

【解決手段】 半導体能動領域の一方の表面に外部露出  
面を有する正極電極2と制御電極8とを形成し、他方の  
表面に外部露出面を有する負極電極9を形成した半導体  
スイッチング素子1、11の正極電極2と制御電極6を  
配線基板3の所定位置にはんだ層5を介して接合する。



## 【特許請求の範囲】

【請求項1】 半導体能動領域の一方の表面に外部露出面を有する正極電極と制御電極とが形成され、かつ、前記半導体能動素子の他方の表面に外部露出面を有する負極電極が形成された半導体スイッチング素子と、この半導体スイッチング素子の前記正極電極と前記制御電極を所定位置で各々はんだ接合した配線基板とを有することを特徴とする半導体装置。

【請求項2】 前記負極電極は対応する配線材との接続がはんだ接合であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記半導体スイッチング素子はIGBT又はIET素子であることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記配線基板はセラミック基板上に金属導体を形成したものであることを特徴とする請求項1記載の半導体装置。

【請求項5】 前記配線基板は前記半導体スイッチング素子が接合している面の反対側の面にヒートシンクがはんだ接合されていることを特徴とする請求項1記載の半導体装置。

【請求項6】 前記配線基板は金属ベース上に絶縁層を形成し、この絶縁層の上に金属導体を形成したものであることを特徴とする請求項1記載の半導体装置。

【請求項7】 前記正極電極、負極電極及び制御電極は各電極の全部又は一部の表面上に緩衝板を設けたことを特徴とする請求項1記載の半導体装置。

【請求項8】 半導体能動領域の一方の表面に外部露出面を有する正極電極と制御電極とが形成され、かつ、前記半導体能動素子の他方の表面に外部露出面を有する負極電極が形成された半導体スイッチング素子を有する半導体装置の製造方法において、前記正極電極と前記制御電極とを前記配線基板と所定の位置関係で対向させる位置合せ工程と、

この位置合せ工程の後に前記正極電極と制御電極を前記配線基板の所定位置にはんだ接合する接合工程と、前記負極電極を所定の配線材の所定位置に位置合せする第2の位置合せ工程と、この第2の位置合せ工程の後に負極電極を配線層の所定位置にはんだ接合する第2の接合工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】 前記接合工程は前記正極電極と制御電極とを同時にはんだ接合により前記配線基板に接合することを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】 前記位置合せ工程を行う際に、事前に前記正極電極、負極電極及び制御電極のそれぞれの電極の全部又は一部の仮付けはんだ層内には緩衝材が設けられていることを特徴とする請求項8記載の半導体装置の製造方法。

【請求項11】 前記位置合せ工程を行う際に、事前に

前記正極電極、負極電極及び制御電極のそれぞれの電極の全部又は一部の表面上には緩衝材が設けられていることを特徴とする請求項8記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特にパワーエレクトロニクス分野で制御用に使用されるスイッチング素子のサイリスタやパワートランジスタ等の実装構造とその製造方法に関する。

【0002】

【従来の技術】近年、産業用ポンプやファン等のパワーエレクトロニクスの制御分野では、インバータ装置を用いたエネルギーの有効利用が用いられることが多い。このインバータ装置の心臓部は電流をスイッチングする半導体スイッチング素子である。

【0003】半導体スイッチング素子としては、従来からサイリスタやパワートランジスタ等が適用されることが多い。最近では、GTO（ゲート・ターンオフ・サイリスタ）、IGBT（インシュレイテッド・ゲート・バイポラトランジスタ）、IET（インジェクションエンハンスド・ゲート・トランジスタ）等が広く用いられている。

【0004】これらの半導体スイッチング素子は種類により呼び方が異なる場合もあるが、いずれも、正極電極、負極電極と制御電極の3つの電極を備え、制御電極で電流や電圧を制御することによりスイッチング動作を行っている。

【0005】これらの素子をパッケージ内に実装する場合には、正極電極と負極電極は大電流が流れるためとスイッチング動作の際に著しく発熱する。従って、電流量を十分考慮する必要があると共に放熱構造にも十分配慮する必要がある。

【0006】IGBTを例に図4を参照して説明すると、IGBTは裏面には負極電極であるコレクタ電極9が負極電極に対向した位置の銅張りセラミック基板3の表面の銅パターン4aの所定位置にはんだ層5を介してはんだ接合されている。銅張りセラミック基板3の裏面にも銅パターン4bが形成され、その銅パターン4bはヒートシンク7にはんだ層5を介してはんだ接合されている。ヒートシンク7の周囲には図示しないブラスタック製の外囲子が設けられている。また、IGBT1や銅張りセラミック基板3の表面は絶縁のためシリコンゲル等で封止されている。

【0007】IGBT1の表面には、正極電極であるエミッタ電極2が設けられ銅張りセラミック基板3の表面の銅パターン4aの所定位置にアルミ線15を用いたワイヤボンディングにより接続されている。なお、一般に通電容量を考慮して複数のアルミ線15で接続されている場合が多い。また、IGBT1の表面にはゲート電極

6が設けられ、銅張りセラミック基板3の表面の銅パターン4にアルミ線15を用いたワイヤボンディングにより接続されている。ゲート電極6は大電流を流す必要がないため通常1本のアルミ線15で接続されている。

【0008】これらの構造によりIGBT1で発生した熱は各端子2、6、9を経由して、はんだ層5、銅張りセラミック基板3の表面の銅パターン4a、セラミック層16、銅張りセラミック基板3の裏面の銅パターン4b、はんだ層5を経由してヒートシンク7に伝熱され外部に放熱される。

【0009】

【発明が解決しようとする課題】上述したIGBT等の半導体スイッチング素子を配線基板に実装した際の問題点は、高負荷下で使用情况の場合、正極電極であるエミッタ電極のワイヤボンディング部が熱応力によって疲労破壊を生じることである。

【0010】このため、エミッタ電極についてもコレクタ電極と同様にはんだ接合する方法が試みられている。しかしながら、この方法ではエミッタ電極を形状的に平板又は棒状に形成する必要がある。そのため、製造プロセスを一元化するためにゲート電極をエミッタ電極と同様の構造にすると、配線同士が相互に干渉する場合は生じたり、配線の引き回しによっては電極の製作が困難になる欠点がある。もちろん、ゲート電極の配線をワイヤボンディング接続で行うことも可能であるが、その場合は、2種類の接続工程が必要になり工程が複雑になって好ましくない。

【0011】

【課題を解決するための手段】本発明によれば、半導体電動領域の一方の表面に外部露出面を有する正極電極と制御電極とが形成され、かつ、前記半導体電動素子の他方の表面に外部露出面を有する負極電極が形成された半導体スイッチング素子と、この半導体スイッチング素子の前記正極電極と前記制御電極を所定位置で各々はんだ接合した配線基板とを有することを特徴とする半導体装置にある。

【0012】また本発明によれば、前記負極電極は対応する配線材との接続がはんだ接合であることを特徴とする半導体装置にある。

【0013】また本発明によれば、前記半導体スイッチング素子はIGBT又はIGET素子であることを特徴とする半導体装置にある。

【0014】また本発明によれば、前記配線基板はセラミック基板上に金属導体を形成したものであることを特徴とする半導体装置にある。

【0015】また本発明によれば、前記配線基板は前記半導体スイッチング素子が接合している面の反対側の面にヒートシンクがはんだ接合されていることを特徴とする半導体装置にある。

【0016】また本発明によれば、前記配線基板は金属

ベース上に絶縁層を形成し、この絶縁層の上に金属導体を形成したものであることを特徴とする半導体装置にある。また本発明によれば、前記正極電極、負極電極及び制御電極は各電極の全部又は一部の表面上に緩衝板を設けたことを特徴とする半導体装置にある。

【0017】また本発明によれば、半導体電動領域の一方の表面に外部露出面を有する正極電極と制御電極とが形成され、かつ、前記半導体電動素子の他方の表面に外部露出面を有する負極電極が形成された半導体スイッチング素子を有する半導体装置の製造方法において、前記正極電極と前記制御電極とを前記配線基板と所定の位置関係で対向させる位置合せ工程と、この位置合せ工程の後に前記正極電極と制御電極を前記配線基板の所定位置にはんだ接合する接合工程と、前記負極電極を所定の配線材の所定位置に位置合せする第2の位置合せ工程と、この第2の位置合せ工程の後に負極電極を配線層の所定位置にはんだ接合する第2の接合工程とを有することを特徴とする半導体装置の製造方法のある。

【0018】また本発明によれば、前記接合工程は前記正極電極と制御電極とを同時にはんだ接合により前記配線基板に接合することを特徴とする半導体装置の製造方法にある。

【0019】また本発明によれば、前記位置合せ工程を行う際に、事前に前記正極電極、負極電極及び制御電極のそれぞれの電極の全部又は一部の仮付けはんだ層内には緩衝材が設けられていることを特徴とする半導体装置の製造方法にある。

【0020】また本発明によれば、前記位置合せ工程を行う際に、事前に前記正極電極、負極電極及び制御電極のそれぞれの電極の全部又は一部の表面上には緩衝材が設けられていることを特徴とする半導体装置の製造方法にある。

【0021】

【発明の実施の形態】本発明の実施の形態について、図1、図2および図3を参照して説明する。

【0022】（実施の形態1）図1は本発明に関する半導体装置の第1の実施の形態を示す断面図である。半導体スイッチング素子の一つであるIGBT1は、表面に正極電極であるエミッタ電極2が配線基板である銅張りセラミック基板3の表面の銅パターン4aの所定位置にはんだ層5によってはんだ接合されている。また、その表面の端部には制御電極であるゲート電極6が設けられ、同様に銅張りセラミック基板3の所定位置にはんだ層5によってはんだ接合されている。また、銅張りセラミック基板3の裏面側には裏面の銅パターン4bを介してヒートシンク7がはんだ層5によってはんだ接合されている。このヒートシンク7の周囲には図示しないプラスチック製の外囲器が設けられ、IGBT1や銅張りセラミック基板3の表面は絶縁のためシリコンゲル等で封止されている。

【0023】IGBT1の裏面には負極電極のコレクタ電極9が所定の対向位置（半導体装置として表面側に位置）に配設された配線材10にはんだ層5を介してはんだ接合されている。

【0024】なお、配線基板は半導体素子で発生した熱を放熱するために放熱特性の優れたものが好ましく、アルミ・インバー・鉄等の金属ベース上にエポキシ・ポリブタジエン・ポリイミド等の絶縁層を形成し、その上に銅箔等で配線パターンを形成したいわゆるメタルコア基板である。特に、アルミナ・窒化アルミ等のセラミック材料をベースとして、表面に銅・アルミ等の金属による配線を形成した基板が好適で、中でも、絶縁耐圧が要求される分野では、アルミナ・窒化アルミ等に銅箔を直接貼り付けた銅張りセラミック基板3が好適である。

【0025】また、IGBT1の表面及び裏面の各電極2、6、9は、はんだ接合が可能のようにメタライズ処理されている。メタライズ処理はアルミ電極上にチタン・白金・金やチタン・パラジウム・金等の金属を表面に設ける方法や、ニッケル等の金属で被覆する方法のいずれでも可能である。

【0026】また、はんだ接合部は各種のはんだ材料を使用することが可能であるが、はんだ接合部は高い熱ストレスに晒されることから、耐熱ストレス性を有するはんだ材料が好適である。複数のはんだ接合部が存在する場合には、これらを順次はんだ付けしてもよくまた一括してはんだ付けしてもよい。

【0027】また、ヒートシンク7は銅の表面にニッケルめっきを施したものが用いられている。

【0028】これらの構造により、IGBT1で発生する熱は各電極2、6、9からはんだ接合したはんだ層5を介してヒートシンク7や配線材10に広い接触面積で伝熱されるため良好な熱放散が行われる。

【0029】また、ゲート電極6を銅張りセラミック基板3の上の銅パターン4aにワイヤを使わずに直接はんだ接合したため、従来の実装方法で問題となっていたゲート電極6への配線の制約を解消出来たと共に、半導体装置内部での半導体スイッチング素子の配置に関する自由度を増すことが可能となった。

【0030】また、エミッタ電極2とコレクタ電極9のほぼ全面がはんだ接合による配線であるため、電流容量に余裕のある配線を行うことも可能である。絶縁耐圧面でもエミッタ電極2とコレクタ電極9が半導体スイッチング素子の両面に振り分けられているので、数百Vから数千Vの耐圧要求にも十分応えられる。

【0031】なお、ゲート電極6とエミッタ電極2はIGBT素子の特性上両者間の電圧差は数十Vであるため近接して配置しても実際上の障害は発生しない。

【0032】次にこれらの構造の製造方法について説明すると、実装装置であるダイマウンターの所定位置に銅張りセラミック基板3をセットし、IGBT1を保持し

たヘッドが所定位置に降下してエミッタ電極2とゲート電極6とを銅張りセラミック基板3の所定位置にダイマウンティングを行う。このダイマウンティングは窒素雰囲気中でフラックスレス半田を用いてスクラブマウントを行う。はんだはシートはんだでも滴下によるはんだ供給でもよい。次の工程でIGBT1のコレクタ電極を所定の配線材10にはんだ接合する。その後、ヒートシンク7を銅張りセラミック基板3の裏面にはんだ接合する。これらはんだ接合はそれぞれ仮付けしておきリフロー炉で同時にはんだ付けを行う。

【0033】なお、これらはんだ付けはリフロー炉で同時に行わず順次それぞれの箇所を行ってもよい。

【0034】（実施の形態2）図2は、本発明の第2の実施の形態を示す断面図である。半導体スイッチング素子の一つであるIEGT11は、表面に正極電極であるエミッタ電極2が銅張りセラミック基板3の表面の銅パターン4aの所定位置にはんだ接合されはんだ層5を形成している。このはんだ層5の中には熱応力を緩和するための緩衝板12が挿入されている。緩衝板12はIEGT11に応力を加えないためにIEGT11の基材であるシリコンと熱膨張率の近い材料が好ましく、モリブテン、タングステン等の単体金属や銅-タングステン、42アロイ等の合金や銅-インバー-銅等のクラッド材を用いる。

【0035】また、IEGT11表面の端部には制御電極であるゲート電極6が設けられ、同様に銅張りセラミック基板3の所定位置にはんだ層5ではんだ接合されている。このはんだ層5も同様に緩衝板12が挿入されている。また、銅張りセラミック基板3の裏面側にも表面の銅パターン4bを介してヒートシンク7がはんだ層5によってはんだ接合されている。このヒートシンク7の周囲には図示しないプラスチック製の外囲器が設けられ、IEGT11や銅張りセラミック基板3の表面は絶縁のためシリコンゲル等で封止されている。

【0036】IEGT11の裏面には負極電極のコレクタ電極9が（半導体装置として表面側に位置）対向位置に配設された所定の配線材10にはんだ層5を介してはんだ接合されている。このはんだ層5にもエミッタ電極2等と同様に緩衝板12が挿入されている。

【0037】なお、各緩衝板12はそれぞれはんだ層5の中に挿入されているが、はんだで接合される部材のいずれかに接合してもよい。

【0038】また、配線基板は半導体素子で発生した熱を放熱するために放熱特性の優れたものが好ましく、アルミ・インバー・鉄等の金属ベース上にエポキシ・ポリブタジエン・ポリイミド等の絶縁層を形成し、その上に銅箔等で配線パターンを形成したいわゆるメタルコア基板である。特に、アルミナ・窒化アルミ等のセラミック材料をベースとして、表面に銅・アルミ等の金属による配線を形成した基板が好適で、中でも、絶縁耐圧が

10

20

30

40

50

要求される分野では、アルミナ・窒化アルミ等に銅箔を直接貼り付けた銅張りセラミック基板3が好適である。

【0039】また、I E G T 1 1 の表面及び裏面の各電極2、6、9は、はんだ接合が可能ないようにメタライズ処理されている。メタライズ処理はアルミ電極上にチタン・白金・金やチタン・パラジウム・金等の金属を表面に設ける方法や、ニッケル等の金属で被覆する方法のいずれでも選択可能である。

【0040】また、はんだ接合部は各種のはんだ材料を使用することが可能であるが、はんだ接合部は高い熱ストレスに晒されることから、耐熱ストレス性を有するはんだ材料が好適である。複数のはんだ接合部が存在する場合には、これらを順次はんだ付けしてもよくまた一括してはんだ付けしてもよい。

【0041】これらの構造により、I E G T 1 1 で発生する熱応力は各電極2、6、9からはんだ接合を介してはんだ層5内に挿入されている緩衝板12で緩和されるため、I E G T 1 1 やはんだの疲労を押さえることが出来るため、各端子の接合寿命が伸びかつ信頼性も向上する。また電気絶縁上の耐圧についても、I E G T 1 1 の厚さ方向に緩衝板の厚さが加わるので、エミッタ電極2とコレクタ電極9間の分離、絶縁は一層拡大する。

【0042】また、実施の形態1で述べたように、ヒートシンク7や配線材10に広い接触面積で伝熱されるため良好な熱放散が行われる。

【0043】次にこれらの構造の製造方法について説明すると、実装装置であるダイマウンターの所定位置に銅張りセラミック基板3をセットし、I E G T 1 1 を保持したヘッドが所定位置に降下してエミッタ電極2とゲート電極6とを銅張りセラミック基板3の所定位置にダイマウンティングを行う。その際、緩衝板12は予めエミッタ電極2とゲート電極6にそれぞれ仮付けしてあるのでダイマウンティングによってはんだ層5の中に挿入固定される。このダイマウンティングは窒素雰囲気中でフラックスレス半田を用いてスクラップマウントを行う。従って、はんだ接合時に仮に気泡が発生しても除去されて良好なはんだ接合が得られる。その際のはんだはシートはんだでも滴下によるはんだ供給でもよい。

【0044】次にI E G T 1 1 のコレクタ電極を所定の配線材10にはんだ接合する。この際も、緩衝板12は予めコレクタ電極に仮付けされてあるのでダイマウンティングによってはんだ層5の中に挿入固定される。その後、ヒートシンク7を銅張りセラミック基板3の裏面にはんだ接合する。これらはんだ接合はそれぞれ仮付けしておきリフロー炉で同時にはんだ付けを行う。

【0045】なお、緩衝板12の仮付け位置ははんだ層の内部でなくて、はんだ層の両側のいずれかに密接して

配置してもよい。

【0046】なお、これらはんだ付けはリフロー炉で同時に行わず順次それぞれの箇所を行ってもよい。

【0047】図3は半導体スイッチング素子の斜視図で、素子の大きさは□20mm程度である。

【0048】

【発明の効果】以上に述べたように本発明は、半導体スイッチング素子の表裏を逆にし、各電極をはんだ接合することにより半導体スイッチング素子内で発生する熱を効率よくヒートシンク7等へ伝熱することができるので、半導体スイッチング素子の熱による障害を大幅に軽減することが可能になった。

【0049】また、配線基板とゲート電極の接続を、エミッタ電極と配線基板との接合工程と同時に行うことにより工程に短縮が可能となった。

【0050】また、半導体スイッチング素子の表面にゲート電極が存在しないため、半導体スイッチング素子の表面に配置しているコレクタ電極の配線は、配線インダクタンスが低い平板配線が行えるようになり、かつ、平板配線による半導体スイッチング素子の放熱が可能となった。

【0051】また、各電極をはんだ接合するはんだ層内に緩衝板12を設けたので、半導体スイッチング素子の発熱による熱応力は緩和され、各はんだ接合部のはんだ疲労を抑止することが出来るようになった。

【図面の簡単な説明】

【図1】本発明の半導体装置を基板に実装した一実施例を示す断面図。

【図2】本発明の半導体装置を基板に実装した他の実施例を示す断面図。

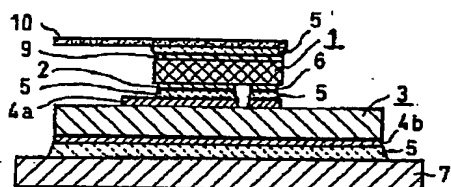
【図3】本発明の半導体装置を基板に実装した一実施例を示す斜視図。

【図4】従来の半導体装置を基板に実装した例を示す断面図。

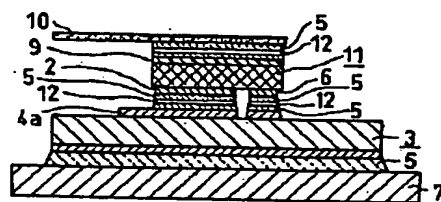
【符号の説明】

- 1… I G B T
- 2…エミッタ電極
- 3…銅張りセラミック基板
- 4a、4b…銅パターン
- 5…はんだ層
- 6…ゲート電極
- 7…ヒートシンク
- 9…コレクタ電極
- 10…配線材
- 11… I E G T
- 12…緩衝板
- 15…アルミ線

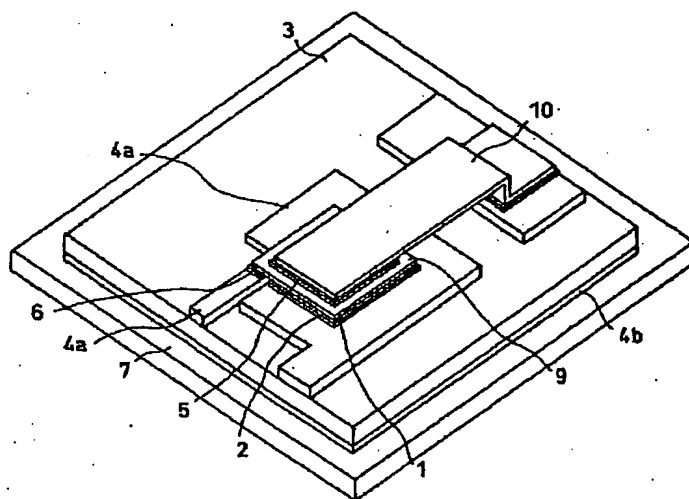
【図1】



【図2】



【図3】



【図4】

